

明 細 書

表面実装型複合電子部品及びその製造法

技術分野

[0001] 本発明は、表面実装型複合電子部品及びその製造法に関するものである。

背景技術

[0002] 表面実装型複合電子部品の代表的外形の一例は、特開2001-015309号公報に開示された、セラミック基板形状がH型のもので、その一方の面に抵抗素子(回路素子)が2つ形成されるもの等である。また基板側面に抵抗素子が形成される電子部品については、米国特許第6,097,277号公報にその開示がある。

特許文献1:特開2001-015309号公報

特許文献2:米国特許第6,097,277号公報

発明の開示

発明が解決しようとする課題

[0003] しかしながら電子部品の小型化の要請が高まるに従い、上記従来の電子部品の構成ではかかる要請に対応しきれなくなっている。上記H型セラミック基板は、その形状の複雑さから、セラミック焼結時の収縮が基板の外寸に大きく影響し、かかる外寸を一定にすることが困難となっている。また上記開示された基板側面に抵抗素子が形成される電子部品は、導電性ボールを回路素子の外部端子としているため、全体の構造が複雑になり、電子部品の小型化には不向きである。

[0004] そこで本発明が解決しようとする課題は、小型化が可能な表面実装型複合電子部品を提供することである。

課題を解決するための手段

[0005] 上記課題を解決するため、本発明の表面実装型複合電子部品は、六面体からなる絶縁基板1の一組の向い合う面に回路素子2が形成される表面実装型複合電子部品であって、当該回路素子2を構成する電極3が、外部端子を兼ねることを特徴とする。

[0006] 上記「六面体」は、図1(a)に示すような向い合う3組の面が夫々異なる形状の直方

体や、立方体や、向い合う2組の面が同形状で残りの1組の向い合う面が異なる形状の直方体等を含む。尚、後述する図9(b)に示すような、分割用溝9の存在により「六面体」端部に形成される程度の別の面があっても、外観上、広く「六面体」と言える形状は「六面体」であるものとする。また上記「回路素子2」は、抵抗素子、コンデンサ素子、インダクタ素子、導体素子、いわゆるCR複合電子部品等を含む。前記導体素子は、いわゆるジャンパー部品としての用途がある。また「六面体からなる絶縁基板1の一組の向い合う面に回路素子2が形成される」ため、回路素子2が2以上の複合電子部品を構成できる。ここで「外部端子」とは、回路板14のランドとハンダ等で直接的に電気接続する部材である。

[0007] 図1に示す本発明の表面実装型複合電子部品は、六面体からなる絶縁基板1の一組の向い合う面に夫々一つずつ回路素子2が形成される表面実装型複合電子部品であって、当該回路素子2を構成する電極3が、外部端子を兼ねるものである。いわゆる表面実装型二連チップ電子部品となっている。

[0008] また図8に示す本発明の表面実装型複合電子部品は、六面体からなる絶縁基板1の一組の向い合う面に夫々2以上(同図では2つ)の回路素子2が形成される表面実装型複合電子部品であって、回路素子2が、当該回路素子2を構成する外部端子を兼ねる電極3を介して、実装面と平行方向に並んで配置されるものである。いわゆる表面実装型四連チップ電子部品となっている。前記六面体からなる絶縁基板1の一組の向い合う面には夫々3以上の回路素子2が配置されるものであってもよいことは言うまでもない。例えばいわゆる八連チップ電子部品、十六連チップ電子部品等である。

[0009] 上記本発明の表面実装型複合電子部品は、六面体からなる絶縁基板1を用いることから、従来のH型セラミック基板に比して全体形状が複雑にならない。また回路素子2を構成する電極3が、外部端子を兼ねることから、構成部材数を低減でき、全体構造が複雑にならない。従って小型化が可能であり、上記課題が解決される。

[0010] 特に図8に示す表面実装型四連チップ電子部品(四連抵抗器の外部端子数が6つであることを特徴とする表面実装型複合電子部品)、若しくはそれ以上の多数の回路素子2からなる本発明の表面実装型複合電子部品は、外部端子数を少なくできてい

る。例えば四連チップ抵抗器は、従来外部端子を通常8つ要していたことは周知事項である。ところが図8に示す四連チップ抵抗器は、抵抗体4と接触する共通電極17が、外部端子を兼ねることから、外部端子数が6つで足りる。そのことから、図1に示す二連チップ抵抗器の従来からの小型化に比べ、図8に示す四連チップ抵抗器の従来からの小型化の程度は、飛躍的なものとなっている。また外部端子数が減ることにより、例えば電子部品実装後のハンダフィレットの状態を検査する負担が減る別の利点がある。更に、実装時に使用するハンダ量を少なくできる利点もある。ここで、図8に示す四連チップ抵抗器における共通電極17を分離して、従来同様8つの外部端子数とすることによっても、上述した本発明の解決しようとする課題は解決していることは言うまでもない。

[0011] 上記「小型」は、例えば回路素子2が形成される絶縁基板1面の長辺が1.0mm以下である。そのような「小型」の表面実装型複合電子部品で、特に有利な効果を得ることができる。

[0012] 従来のH型セラミック基板で、いわゆる1005サイズ(単位回路素子に用いる基板1外寸が1.0mm×0.5mm)の複合電子部品を後述する大型の絶縁基板1(例えば図2に示す)から多数個採取する場合、概ね50mm四方の大型の絶縁基板1全面からは、H型セラミック基板を採取できない。その理由は、H型とするために大型の絶縁基板1に設けられる穴の存在により、セラミック焼結時の収縮率が大型の絶縁基板1の中央部と端部とでは異なり、均一な外寸のH型セラミック基板を単一の大型の絶縁基板1全面から得ることが非常に困難だからである。従って大型の絶縁基板1の周縁部には、利用されない無駄な領域が存在している。その点いわゆる1608サイズ(単位回路素子に用いる基板1外寸が1.6mm×0.8mm)以上のH型セラミック基板では、概ね50mm四方の大型の絶縁基板1全面に亘り略均一の外寸のH型セラミック基板を採取することができる。

[0013] 従って、いわゆる1005サイズの電子部品又はそれよりも小型の、0603サイズ(単位回路素子に用いる基板1外寸が0.6mm×0.3mm)や0402サイズの電子部品(単位回路素子に用いる基板1外寸が0.4mm×0.2mm)等に相当する、回路素子2が形成される絶縁基板1面の長辺が1.0mm以下の複合電子部品では、量産面で

特に有利な効果を顕著に得ることができ、好適である。本発明ではH型ではなく六面体の絶縁基板1を用いることから、大型の絶縁基板1焼結時の収缩量・収縮率は略均一なためである。

[0014] ここで、回路素子2が形成される絶縁基板1面の長辺が1.0mmよりも大きい、本発明の表面実装型複合電子部品であっても、構成部材数を低減でき、全体構造が複雑にならないことによる電子部品の小型化への寄与効果を有している等の理由から、上記課題を解決できていることは言うまでもない。

[0015] 上記本発明の表面実装型複合電子部品は、例えば回路素子2が、一对の電極3と、当該電極3双方に接触する抵抗体4又は誘電体5とから構成され、当該電極3の外部端子領域表面にはニッケルめっき層6及びハンダめっき層7がこの順に配されるものである(例えば図5(g))。

[0016] 上記ハンダめっき層7は、回路素子2の電極3が実装時に、外部端子として回路板のランドとハンダにて電気接続する際のハンダ濡れ性を良好にする。また上記ニッケルめっき層6は電極3のハンダ喰われを防止するためのものである。また「電極3双方に接触する」のが抵抗体4であれば、回路素子2は抵抗素子となり、誘電体5であれば、回路素子2はコンデンサ素子となる。

[0017] 上記本発明の表面実装型複合電子部品の回路素子2が抵抗素子である場合の具体例が図1(a)の平面図である図1(b)に示されている。これは六面体からなる絶縁基板1表面の両端に配置された一对の第1電極3aと、当該絶縁基板1の裏面に前記第1電極3aと対向するように配置された一对の第2電極3bと、前記一对の第1電極3a双方に接触するよう配置された第1の抵抗体4aと、第2電極3b双方に接触するよう配置された第2の抵抗体4bを有する表面実装型複合電子部品である。

[0018] 更に上記本発明の表面実装型複合電子部品の回路素子2が抵抗素子である場合の別の具体例が図8(a)の平面図である図8(b)に示されている。これは六面体からなる絶縁基板1表面の両端に配置された一对の第1電極3a及びその間に当該第1電極3aと離隔して配置された第1の共通電極17aと、当該絶縁基板1の裏面に前記第1電極と対向するように配置された一对の第2電極3b及びその間に当該第2電極3bと離隔して配置された第2の共通電極17bと、前記第1電極3a及び第1の共通電極

17aに接触するよう配置された2つの第1の抵抗体4aと、前記第2電極及び第2の共通電極に接触するよう配置された2つの第2の抵抗体4bとを有する表面実装型四連チップ電子部品である。

[0019] これらの本発明の表面実装型複合電子部品の製造法の一例は、両面の対向位置に縦横に区画された大型の絶縁基板の、当該区画単位の絶縁基板1両面に所定の回路素子2を形成する工程と、当該区画単位に大型の絶縁基板を分割する工程を有し、これらの工程により、前記絶縁基板1両面の回路素子2により複合電子部品が構成され、前記絶縁基板1両面以外のいずれかの面を回路板14と対向する面とするものである。

[0020] また図1及び図8に示す表面実装型複合電子部品は、絶縁基板1が、一の面と隣り合う面とが実質的に直交している。これは同一の基板1面の面積からなる六面体において、電子部品を最も小型化できる形状である。

[0021] また図1及び図8に示す表面実装型複合電子部品は、一の回路素子2に電気接続する対となる外部端子を結ぶ直線と直交し、当該外部端子が存在する絶縁基板1表面端部に電極不存在領域3cを有している。これは、大量製造時の便宜を考慮したものである。即ち、大型の絶縁基板1から多数個の本発明に係る表面実装型複合電子部品を得ようとした場合、図2に示すように当該大型の絶縁基板1面に多数個の回路素子2を形成することとなる。そして通常該大型の絶縁基板1を分割して個々の電子部品を得る。このとき、大型の絶縁基板1面に多数個の回路素子2を形成した状態で個々の回路素子2特性を検査、把握、及び／又は調整等するのが便宜である。各回路素子2が等間隔に並んでおり、プローブ用治具8を用いたプロービング作業が容易だからである(図3)。かかるプロービングの際には、隣接する回路素子2同士の短絡が許容されない。電極1が、回路素子2の電流進行方向と直交する絶縁基板1表面端部に電極不存在領域3cを有することは、その短絡防止に寄与する。

[0022] 特に回路素子2が抵抗素子の場合は、上記プローブ用治具8を用いたプロービングをしながら抵抗値調整(トリミング)するのが通常である。従って図3に示すよう、電極1が、回路素子2の電流進行方向と直交する絶縁基板1表面端部の一方(図3(a))又は両方(図3(b))に電極不存在領域3cを有することが好適である。図3は、真中

にある抵抗素子をプロービングしている。

[0023] 図3(c)は、同図(a)、(b)の約2倍の面積の電極3を千鳥状に配置したものである。電極3の面積を約2倍にできることにより、電極3の形状の均一性・安定性を図ることができる。特にスクリーン印刷等の厚膜形成法により電極3を形成する場合には、スパッタリング等の薄膜形成法に比して形成結果物寸法精度が劣るため、非常に有利な効果となる。一方、図3(c)のように電極3と抵抗体4とを配置した場合には、一の抵抗素子の抵抗値を測定しようとしたときに、他の複数の抵抗素子の抵抗値をも測定しかねない。そこでかかる場合には、必要に応じて測定目的の抵抗素子の電極3にプローブピンを接触させると共に、他の電極3にもプローブピンを接触させて電流の回り込み防止のための電圧を印加する。

[0024] また上記本発明の表面実装型複合電子部品の回路素子2が抵抗素子又はコンデンサ素子である場合には、電極3と抵抗体4又は誘電体5とが絶縁基板1面上に重なり合って接触する領域を有し、当該領域では絶縁基板1の上に抵抗体4又は誘電体5が重なり、且つ抵抗体4又は誘電体5の上に電極3が重なることが好ましい(図4(a))。

[0025] その理由は、抵抗体4と電極3との位置関係が逆であると(図4(b))、それらの重なった領域は、外部端子として利用できないが、図4(a)に示す抵抗体4と電極3との位置関係であれば、それらの重なった領域を外部端子として利用できる利点があるためである。かかる利点は、電子部品の小型化が進むに従い、回路素子2を構成する各部材の絶縁基板1面占有率の問題が大きくなるため、該重なった領域の有効活用ができる点で有利な効果となる。

[0026] また、図4(a)に示す抵抗体4と電極3との位置関係とすることにより、同一の外部端子面積を確保した場合に抵抗体4の形成面積を、(図4(b))の位置関係の場合に比して大きくできる。抵抗体4の形成面積が小さいと、抵抗体4の僅かな部分の有無即ち抵抗体4形状のばらつきが抵抗素子全体としての抵抗値へ与える影響が大きく、該抵抗値ばらつきが大きくなるため、抵抗体4面積を大きくできることは有利な効果となる。特にスクリーン印刷等の厚膜形成法により抵抗体4を形成する場合には、スパッタリング等の薄膜形成法に比して形成結果物寸法精度が劣るため、非常に有利な

効果となる。

[0027] また上記本発明の表面実装型複合電子部品及びそれを基本とした好ましい構成において、回路素子が形成される絶縁基板面における回路素子の電流進行方向に沿った絶縁基板寸法(L)と、Lと直交する絶縁基板寸法(T)と、回路素子が形成される絶縁基板面間距離(W)との関係が、 $L \geq W > T$ であることが好ましい。これは例えば、図1及び図8に示す表面実装型複合電子部品の構成である。かかる構成により、絶縁基板1側面に2つの回路素子を有する状態で回路板14表面に実装される場合(図7)に、本発明の表面実装型複合電子部品底面及び頂面が最も基板1面の面積が大きい、最も安定した載置状態が実現でき、表面実装電子部品における実装安定性が高まる。

[0028] 更に上記本発明の表面実装型複合電子部品及びそれを基本とした好ましい構成において、回路板14と対向する絶縁基板1面が平滑であることが好ましい。小型化した表面実装型電子部品の場合特に、回路板14と対向する絶縁基板1面に凹凸があると、回路板14への載置状態が安定しない。すると表面実装型電子部品を回路板14に固定する工程の代表的なものである、リフロー工程に供した場合、前記凹凸に起因してツームストン現象が起こるおそれがある。よって極力回路板14と対向する絶縁基板1面は平滑であることが好ましい。この平滑は、例えばセラミックからなる絶縁基板1をダイシング加工で切断して得られる切断面程度の平滑さであれば十分である。

[0029] よって上記平滑を実現するための、本発明の表面実装型複合電子部品の製造法の一例は、両面の対向位置に縦横に区画された大型の絶縁基板1の、当該区画単位の絶縁基板1両面に所定の回路素子2を形成する工程と、当該区画単位に大型の絶縁基板1を分割する工程を有し、これらの工程により、前記絶縁基板1両面の回路素子2により複合電子部品が構成され、前記絶縁基板1両面以外のいずれかの面を回路板14と対向する面とし、当該回路板14と対向する絶縁基板1面の形成を、ダイシング加工により実現することを特徴とするものである。

[0030] 更に上記本発明の表面実装型複合電子部品及びそれを基本とした好ましい構成において、外部端子を兼ねる電極3が、絶縁基板1の回路素子2存在面と隣接する絶縁基板1面にも存在することが好ましい。この一つ目の理由は、仮に本発明の表面

実装型複合電子部品の電極3表面にNiやハンダ等の層を形成すべく、バレルメッキ法によるメッキ工程に供した場合、ダミーボールが接触する確率を高くして、前記層形成を容易にすることができるためである。ダミーボールが高い確率で接触するには、ダミーボール間に電極3が挿入されながら、両側のダミーボールと一の電極3との電気接続を実現できる電子部品形状であることが重要である。電極3が、絶縁基板1の回路素子2存在面と隣接する絶縁基板1面にも存在することにより、前記形状となり得る。尚、前記「隣接する絶縁基板1面」には、後述する図9(b)に示すような、分割用溝9の存在により六面体端部に形成される程度の面を含むものとする。

[0031] 二つ目の理由は、回路板14への表面実装型電子部品の実装強度を高くすることができるためである。外部端子を兼ねる電極3が、絶縁基板1の回路素子2存在面と隣接する絶縁基板1面にも存在することにより、回路板14と固着する外部端子が電子部品を固定・支持する方向が多岐に亘る。よって多くの方向からの、実装された電子部品への衝撃・応力付与に耐え得る実装状態を実現できることとなる。ここで、分割用溝9の存在により六面体端部に形成される程度の面を経由せずに更に隣接する絶縁基板1面に電極3が形成される場合にも、回路板14への表面実装型電子部品の実装強度を高くすることができる。

[0032] 外部端子を兼ねる電極3が、絶縁基板1の回路素子2存在面と隣接する絶縁基板1面にも存在するようにするための手段の一例を図9に示した。図9(a)は、絶縁基板1の両面に分割用の溝9を有し、当該溝9を跨いで電極3が配置されている状態を示したものである。図9(b)は、前記溝9に沿って電子部品をダイシング加工等の手段で分割した状態を示した。ここで、溝9内に存在する電極3が分割後にも残存している。この残存した電極3が、絶縁基板1の回路素子2存在面と隣接する絶縁基板1面にも存在する電極3となる。

[0033] 外部端子を兼ねる電極3が、絶縁基板1の回路素子2存在面と隣接する絶縁基板1面にも存在するようにするための手段の別の例は、前記隣接する絶縁基板1面に、スクリーン印刷等の印刷、スパッタリング等の薄膜技術、塗布技術等で電極3を形成する手段である。これら「別の手段」は、特に後述する図9(b)に示すような、分割用溝9の存在により六面体端部に形成される程度の面以外の、六面体のうちの一面を構成

する面への電極3を形成する手段として有効である。

発明の効果

[0034] 本発明により、小型化が可能な表面実装型複合電子部品を提供することができた。

図面の簡単な説明

[0035] [図1](a)は、本発明の表面実装型複合電子部品の一例を示した斜視図である。(b)は、(a)の平面図である。

[図2]本発明の表面実装型複合電子部品に係る、大型の絶縁基板面に多数個の回路素子が形成されている状態を示す図である。

[図3]本発明の表面実装型複合電子部品に係る電極が、回路素子の電流進行方向と直交する絶縁基板表面端部の一方(a)又は両方(b)に電極不存在領域を有する状態を示す図である。

[図4]本発明の表面実装型複合電子部品に係る、絶縁基板上に抵抗体が重なり、且つ抵抗体の上に電極が重なる状態を示す図(a)、及び抵抗体と電極との位置関係を逆とした(b)図である。

[図5]本発明の実施形態における、本発明の表面実装型複合電子部品の製造工程を順を追って示す図である。

[図6]本発明の表面実装型チップコンデンサのコンデンサ素子部分の一例を示す断面図である。

[図7]本発明の表面実装型複合電子部品を回路板に表面実装した、実装体の外観を示す図である。

[図8](a)は、本発明の表面実装型複合電子部品の一例を示した斜視図である。(b)は、(a)の平面図である。

[図9](a)は、本発明の表面実装型複合電子部品が分割用の溝により連結されている状態の一例を示す断面図である。(b)は、(a)の溝に沿って分割した後の状態の一例を示す断面図である。

符号の説明

- [0036] 1. 基板
2. 回路素子

3、3a、3b. 電極

3c. 電極不存在領域

4、4a、4b. 抵抗体

5. 誘電体

6. ニッケルめっき層

7. ハンダめっき層

8. プローブ用治具

9. 溝

10. トリミング溝

11. ガラス膜

12. オーバーコート膜

14. 回路板

16. ハンダフィレット

17、17a、17b. 共通電極

発明を実施するための最良の形態

[0037] 図面を参照しつつ、本発明の表面実装型複合電子部品の製造法を以下に述べる。尚、図5(a)乃至(f)は、大型の絶縁基板1中の単位電子部品3つのみを表示している。

[0038] まず表面及び裏面の対応(対向)した位置に縦横に溝9が形成され、当該溝9で区画(寸法0.3mm×0.6mm)された1区画が単位電子部品となる厚み0.5mmのアルミナセラミック製の大型の絶縁基板1を用意する(図2、図5(a))。次に大型の絶縁基板1の一方の面にスクリーン印刷法により、メタルグレーズ系Ag-Pd電極ペーストを所定位置に印刷・焼成して電極3を得る(図5(b))。大型の絶縁基板1の他方の面についても同様に電極3を得る(図5(b))。この電極3形成では、上記溝9存在位置を目印にスクリーン印刷を実施した。この結果、電極3は溝9内にも存在している。次いで前記大型の絶縁基板1の一方の面及び他方の面の単位電子部品における一対の電極3の双方に接触するよう、酸化ルテニウムを主成分とするメタルグレーズ系抵抗体ペーストを印刷・焼成して抵抗体4を得る(図5(c)、図9(a))。次いでガラスペー

ストにて、全ての抵抗体4を覆い、且つ電極3面を露出するようにスクリーン印刷し、焼成することによりガラス膜11を得る(図5(d))。次いでレーザートリミング法により全ての抵抗体4に対してトリミング溝10を形成し、所定の抵抗値とする(図5(e))。そしてエポキシ樹脂系のオーバーコートペーストを、全ての前記焼成後のガラスを覆い、且つ電極3を露出させるようにスクリーン印刷し、硬化させ、オーバーコート膜12を得る(図5(f))。

[0039] 次に上記縦横の溝9に沿って大型の絶縁基板1を単位電子部品とする分割工程を実施する。かかる分割工程は、表面にダイヤモンド粉末が付着されたダイシングソーを用いたダイシング加工による。かかるダイシングソー及びダイシング加工装置は、市販のものを用いることができる。分割後の単位電子部品は、六面体からなる絶縁基板1の一組の向い合う面に夫々一つずつ回路素子2(抵抗素子)が形成される表面実装型二連チップ電子部品であって、当該回路素子2を構成する電極3が、外部端子を兼ねるものであった。更に、前述した溝9内の電極3の存在により、外部端子を兼ねる電極3が、絶縁基板1の回路素子2存在面と隣接する絶縁基板1面にも存在していた(図9(b))。そしてその外形寸法は、約0.5mm×0.6mm×0.3mmだった。

[0040] そして多数の単位電子部品をバレルめっき装置に投入し、まず電極3表面にニッケルめっき層6、次いでハンダめっき層7を形成した。図5(g)は、以上の過程を経た抵抗素子の断面を示している。

[0041] 以上の過程を経て得られた個々の表面実装型二連抵抗器をテーピング梱包し、それを用いて市販の実装装置にて、所定位置にクリームハンダが配された回路板14面に実装し、リフロー工程を経た実装体の外観を図7(a)に示した。絶縁基板1側面の電極3と回路板14のランドとの間にハンダフィレット15が形成されている。同図のようないわゆるサイドフィレット実装では、ハンダの状態検査が容易である利点がある。尚、本実施形態における表面実装型二連抵抗器と同様の製造工程を経ることにより得られる、図8に示した表面実装型四連抵抗器が、本実施形態と同様のリフロー工程を経た場合の実装体の外観を図7(b)に示した。

[0042] 本実施形態では、分割工程をダイシング加工により実施した。しかし大型の絶縁基板1両面に形成された溝9を開く方向に応力付与することで、分割する方法により分

割することもできる。但し、分割後の電子部品寸法精度を考慮すると、分割位置精度の優れると考えられるダイシング加工が好適である。特に小型電子部品の場合には寸法精度は重要事項であるため、ダイシング加工の採用は特に好ましい。

[0043] また本実施形態では、絶縁基板1をアルミナセラミック製とし、抵抗素子を構成する電極3、抵抗体4にメタルグレーズ系のものを用い、またガラスを用いている。しかしこれらの材料の全部又は一部を樹脂を主成分とするものに代えることができる。例えばアルミナセラミックに代えて、絶縁基板1両面から発生するジュール熱等を効率良く放熱可能な、高熱伝導性の窒化アルミニウムや窒化珪素セラミック等に代えることができる。またセラミック基板に代えて繊維強化プラスチック基板、メタルグレーズ系Ag-Pd電極に代えてAg粉末とエポキシ系又はアクリル系樹脂を含む導電性樹脂電極、酸化ルテニウムを主成分とするメタルグレーズ系抵抗体4に代えて、炭素材粉末とエポキシ系樹脂からなる抵抗体4とすることができる。樹脂系材料とすることにより、材料コストを低減でき、且つペースト硬化時の温度を低くすることができることから、抵抗値ドリフト抑制、熱エネルギーコスト低減等を図ることができる。

[0044] また本実施形態では、表面実装型二連チップ抵抗器について説明している。本発明の四連、八連、十六連チップ抵抗器を得るには、本実施形態と同様の製造工程を経ることによる。具体的には分割用溝9により区画される回路素子2数を変更すること等による。また本発明の表面実装型二連チップコンデンサを製造するには、例えばコンデンサ素子断面が図4に示すような構成である場合は、本実施形態に準じて製造することができる。この場合はトリミング工程(図5(e))等を要しない。また例えばコンデンサ素子断面が図6に示すような、電極3膜で誘電体5を挟み込む構成である場合も同様である。かかる場合には同図における一方の電極3、誘電体5、他方の電極3の順にスクリーン印刷工程を実施する、本実施形態との相違点がある。またこの場合もトリミング工程(図5(e))等を要しない。

[0045] 本発明の表面実装型四連チップコンデンサを得るには、例えば図8における絶縁基板1の一方の面に配置される2つの抵抗体4を誘電体5に代えること、又は当該2つの抵抗素子を図6に示すコンデンサ素子に代えること等による。後者の場合において、2つのコンデンサ素子間を図8と同様に共通電極17で接続することができる。

また本発明の表面実装型CR複合部品を得るには、例えば図8における絶縁基板1の一方の面に配置される2つの抵抗体4の一方を誘電体5に代えること、又は当該2つの抵抗素子の一方を図6に示すコンデンサ素子に代えること等による。

[0046] また本実施形態では、絶縁基板1面上に電極3を形成した後に抵抗体4を形成したが、抵抗体4を形成した後に電極3を形成することもできる。そのようにすることにより、上述した図4(a)に示す抵抗体4と電極3との位置関係とすることができる。

産業上の利用可能性

[0047] 本発明は、表面実装型複合電子部品に関連する産業において利用可能性がある。

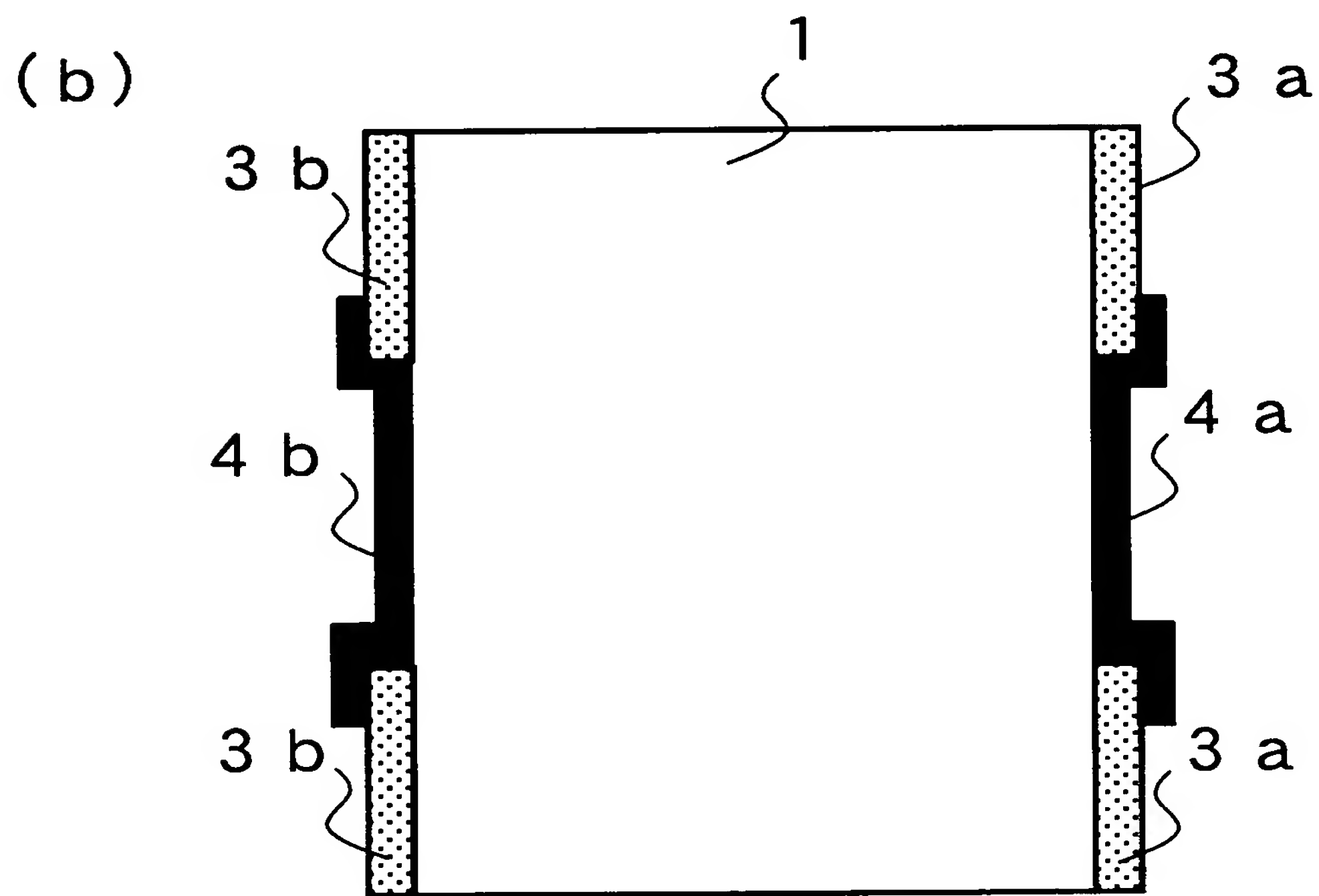
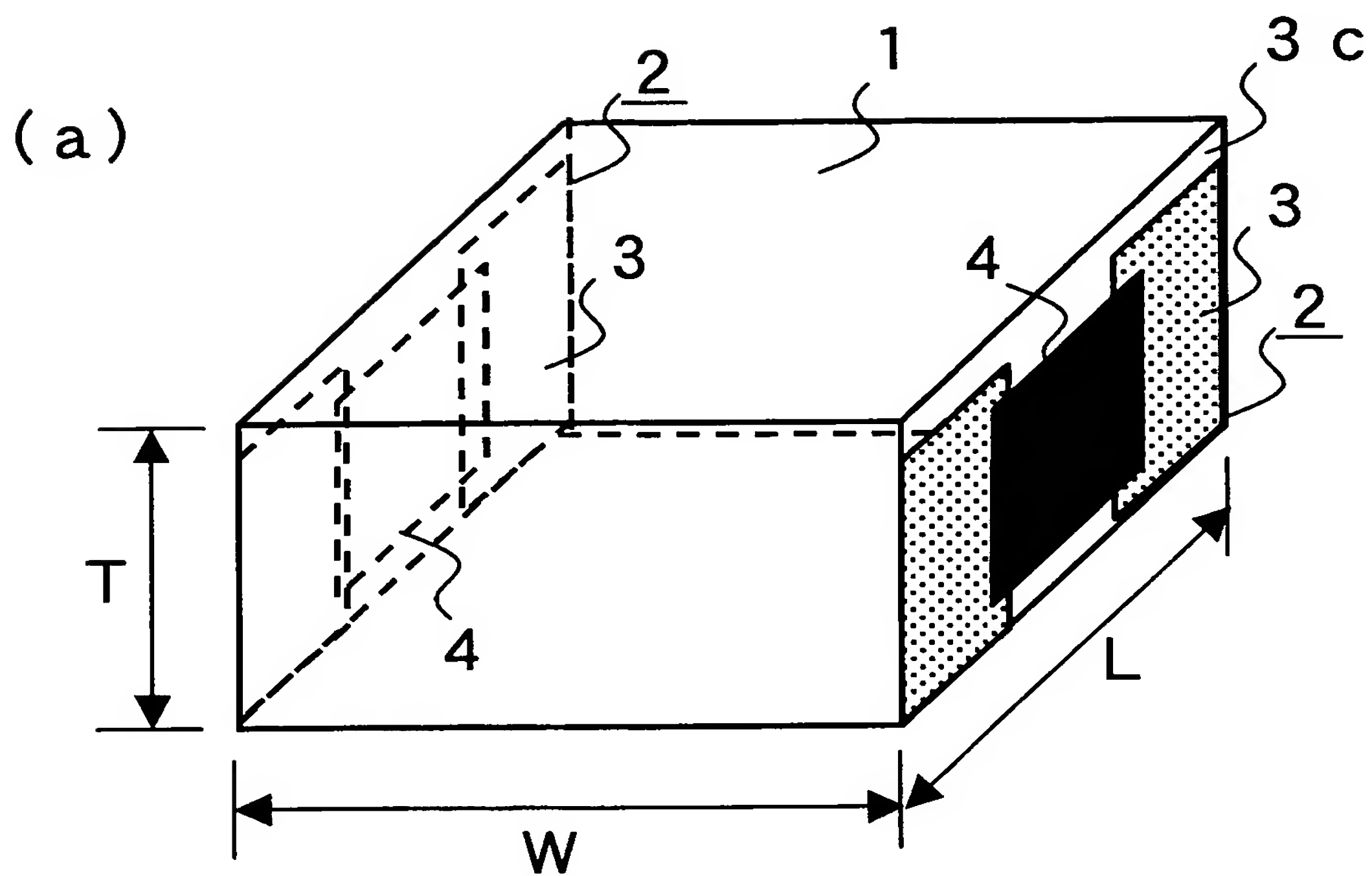
請求の範囲

- [1] 六面体からなる絶縁基板の一組の向い合う面に回路素子が形成される表面実装型複合電子部品であって、当該回路素子を構成する電極が、外部端子を兼ねることを特徴とする表面実装型複合電子部品。
- [2] 六面体からなる絶縁基板の一組の向い合う面に夫々一つずつ回路素子が形成される表面実装型複合電子部品であって、当該回路素子を構成する電極が、外部端子を兼ねることを特徴とする表面実装型複合電子部品。
- [3] 六面体からなる絶縁基板の一組の向い合う面に夫々2以上の回路素子が形成される表面実装型複合電子部品であって、回路素子が、当該回路素子を構成する外部端子を兼ねる電極を介して、実装面と平行方向に並んで配置されることを特徴とする表面実装型複合電子部品。
- [4] 六面体からなる絶縁基板表面の両端に配置された一对の第1電極と、当該絶縁基板の裏面に前記第1電極と対向するように配置された一对の第2電極と、前記一对の第1電極双方に接触するよう配置された第1の抵抗体と、前記第2電極双方に接触するよう配置された第2の抵抗体を有する表面実装型複合電子部品。
- [5] 六面体からなる絶縁基板表面の両端に配置された一对の第1電極及びその間に当該第1電極と離隔して配置された第1の共通電極と、当該絶縁基板の裏面に前記第1電極と対向するように配置された一对の第2電極及びその間に当該第2電極と離隔して配置された第2の共通電極と、前記第1電極及び第1の共通電極に接触するよう配置された2つの第1の抵抗体と、前記第2電極及び第2の共通電極に接触するよう配置された2つの第2の抵抗体とを有する表面実装型複合電子部品。
- [6] 外部端子数が6つであることを特徴とする請求項5記載の表面実装型複合電子部品。
- [7] 回路素子が、電極と、当該電極に接触する抵抗体又は誘電体とから構成され、当該電極の外部端子領域表面にはニッケルめっき層及びハンダめっき層がこの順に配されることを特徴とする請求項1乃至6のいずれかに記載の表面実装型複合電子部品。
- [8] 絶縁基板が、一の面と隣り合う面とが実質的に直交することを特徴とする請求項1

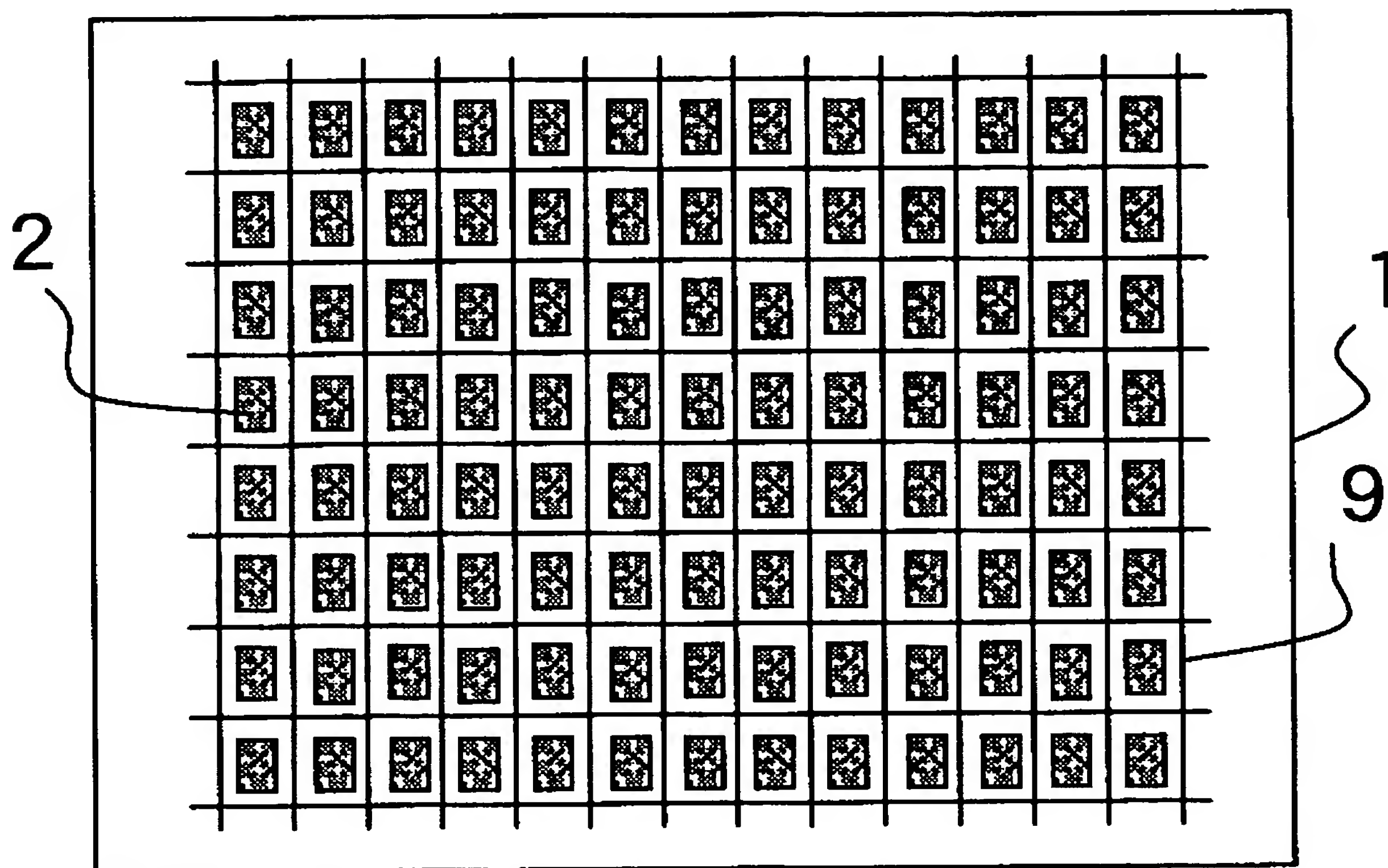
乃至7のいずれかに記載の表面実装型複合電子部品。

- [9] 一の回路素子に電気接続する対となる外部端子を結ぶ直線と直交し、当該外部端子が存在する絶縁基板表面端部に電極不存在領域を有することを特徴とする請求項1乃至8のいずれかに記載の表面実装型複合電子部品。
- [10] 電極と抵抗体とが絶縁基板面上に重なり合って接触する領域を有し、当該領域では絶縁基板の上に抵抗体が配され、且つ抵抗体の上に電極が重なることを特徴とする請求項1乃至9のいずれかに記載の表面実装型複合電子部品。
- [11] 回路素子が形成される絶縁基板面における回路素子の電流進行方向に沿った絶縁基板寸法(L)と、Lと直交する絶縁基板寸法(T)と、回路素子が形成される絶縁基板面間距離(W)との関係が、 $L \geq W > T$ であることを特徴とする請求項1乃至10のいずれかに記載の表面実装型複合電子部品。
- [12] 回路板と対向する絶縁基板面が平滑であることを特徴とする請求項1乃至11記載の表面実装型複合電子部品。
- [13] 外部端子を兼ねる電極が、絶縁基板の回路素子存在面と隣接する絶縁基板面にも存在することを特徴とする請求項1乃至12記載の表面実装型複合電子部品。
- [14] 絶縁基板、電極、抵抗体から選ばれる一つ又は全部が、樹脂系材料を主成分とすることを特徴とする請求項1乃至13のいずれかに記載の表面実装型複合電子部品。
- [15] 回路素子が形成される絶縁基板面の長辺が1.0mm以下であることを特徴とする請求項1乃至14のいずれかに記載の表面実装型複合電子部品。
- [16] 両面の対向位置に縦横に区画された大型の絶縁基板の、当該区画単位の絶縁基板両面に所定の回路素子を形成する工程と、
当該区画単位に大型の絶縁基板を分割する工程を有し、
これらの工程により、前記絶縁基板両面の回路素子により複合電子部品が構成され、
前記絶縁基板両面以外のいずれかの面を回路板と対向する面とする、表面実装型複合電子部品の製造法。
- [17] 回路板と対向する絶縁基板面の形成を、ダイシング加工により実現することを特徴とする請求項15記載の表面実装型複合電子部品の製造法。

[図1]

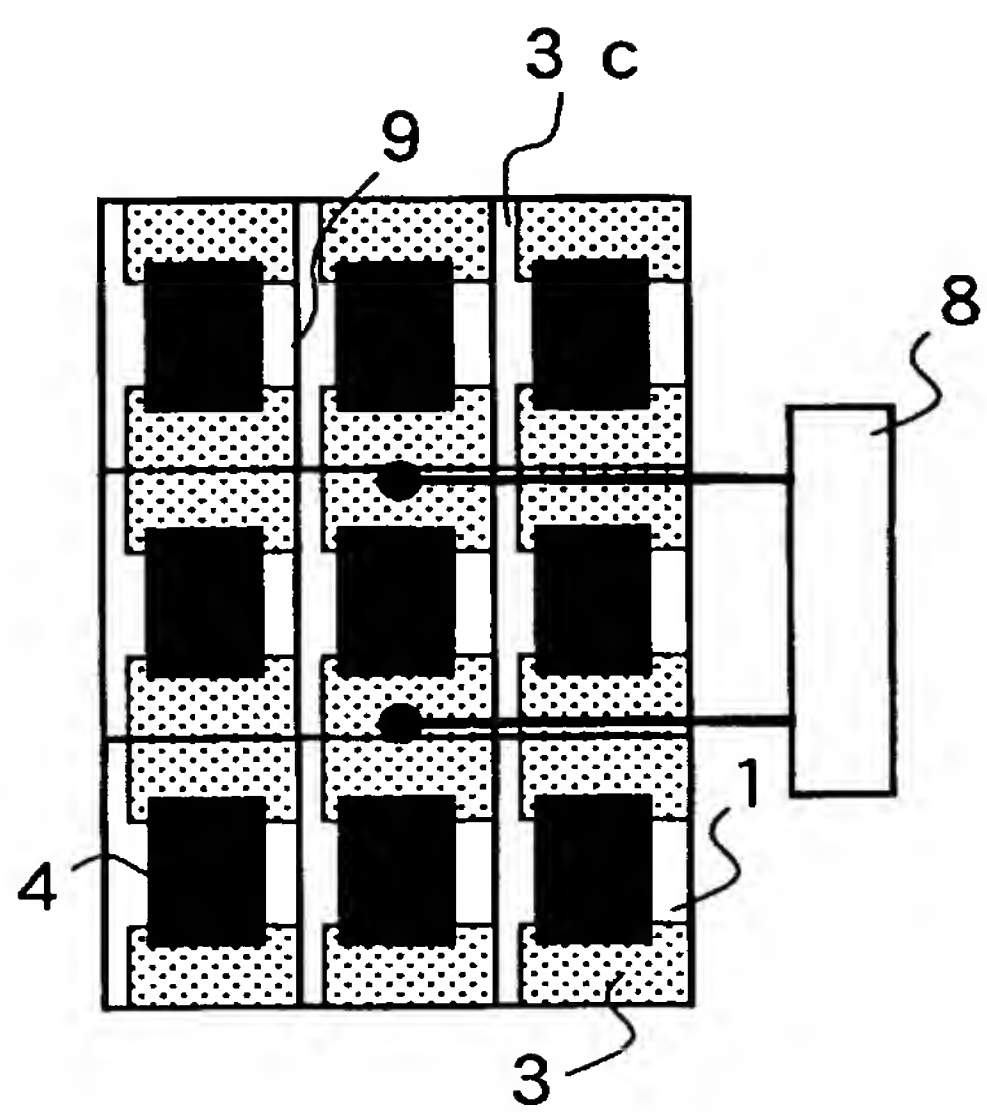


[図2]

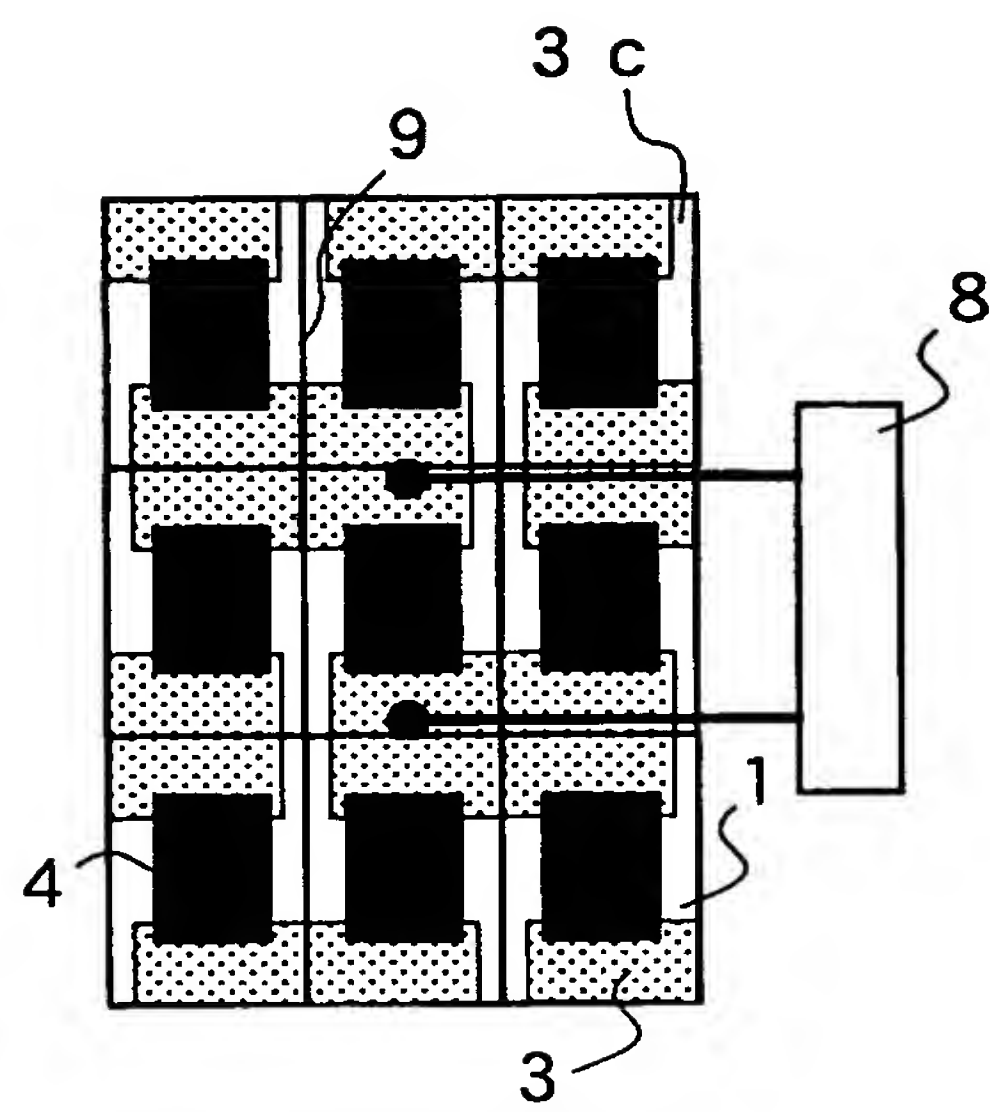


[図3]

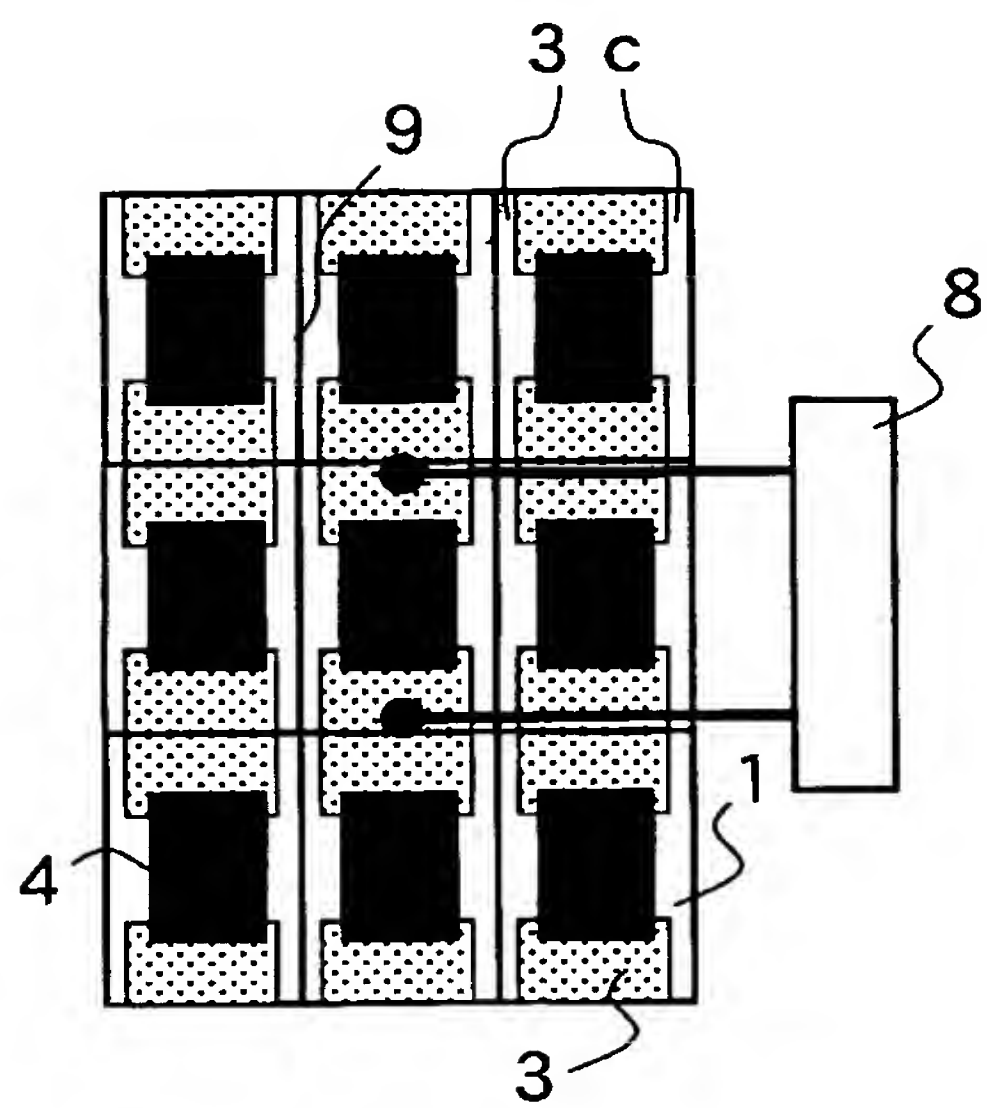
(a)



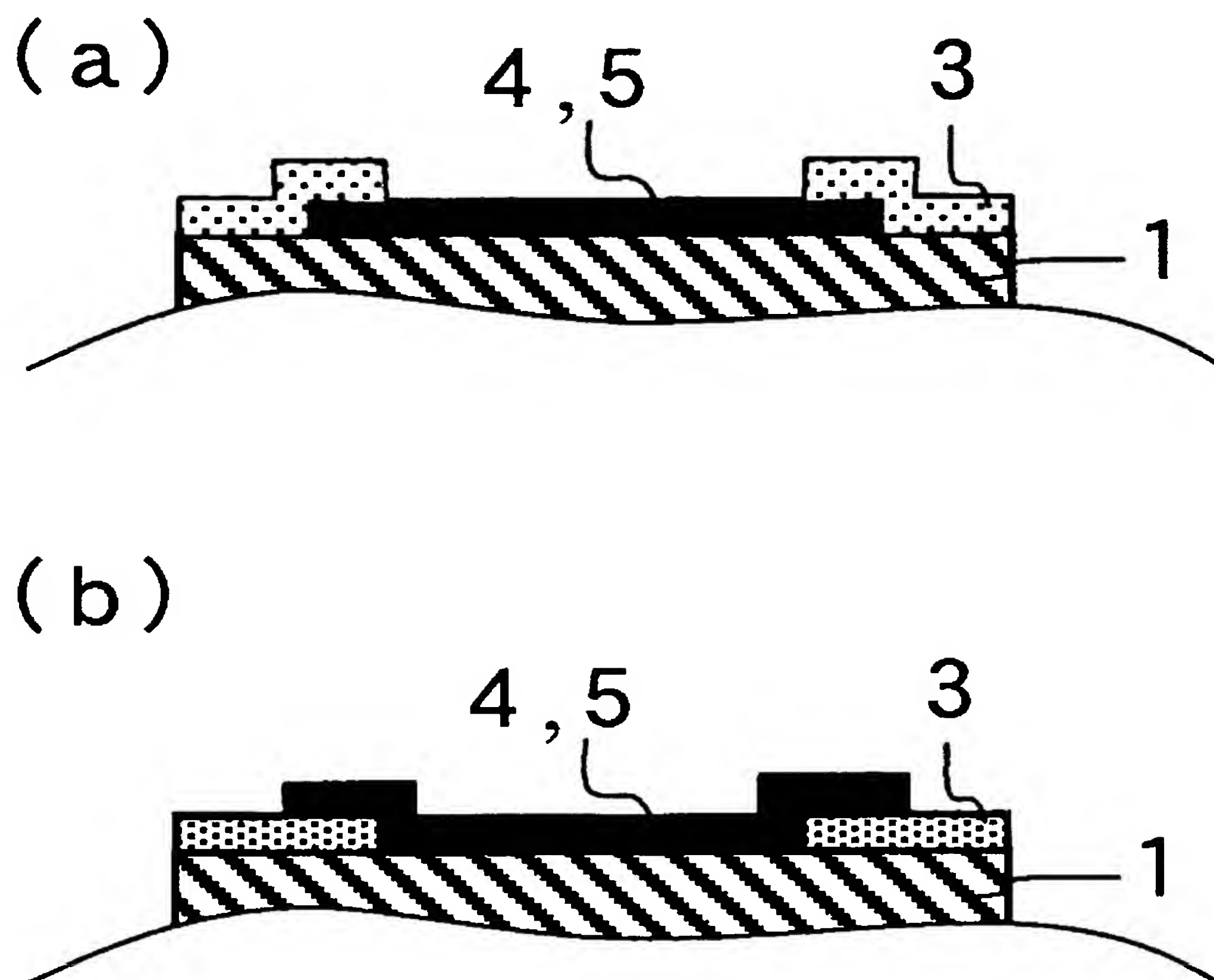
(c)



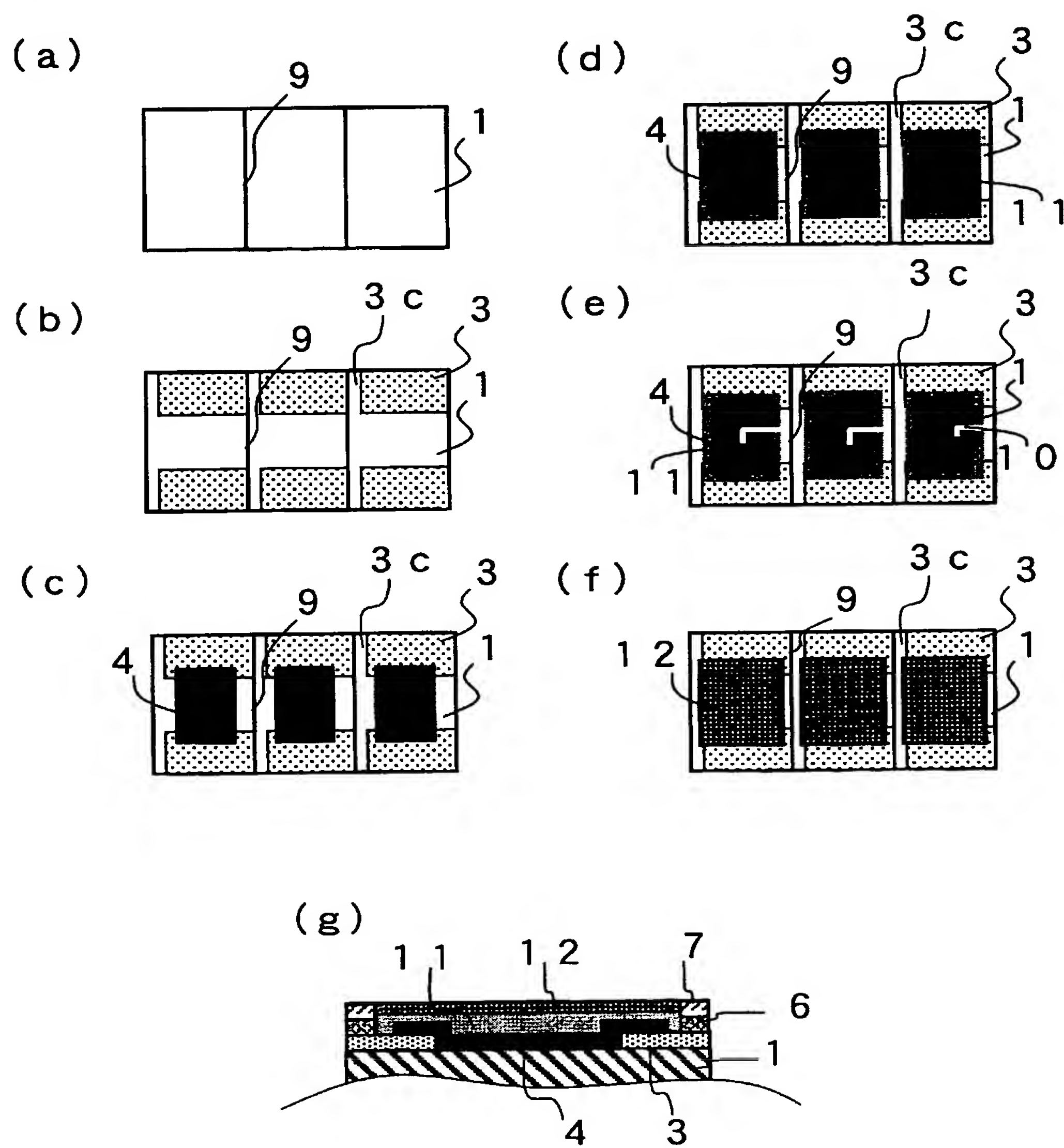
(b)



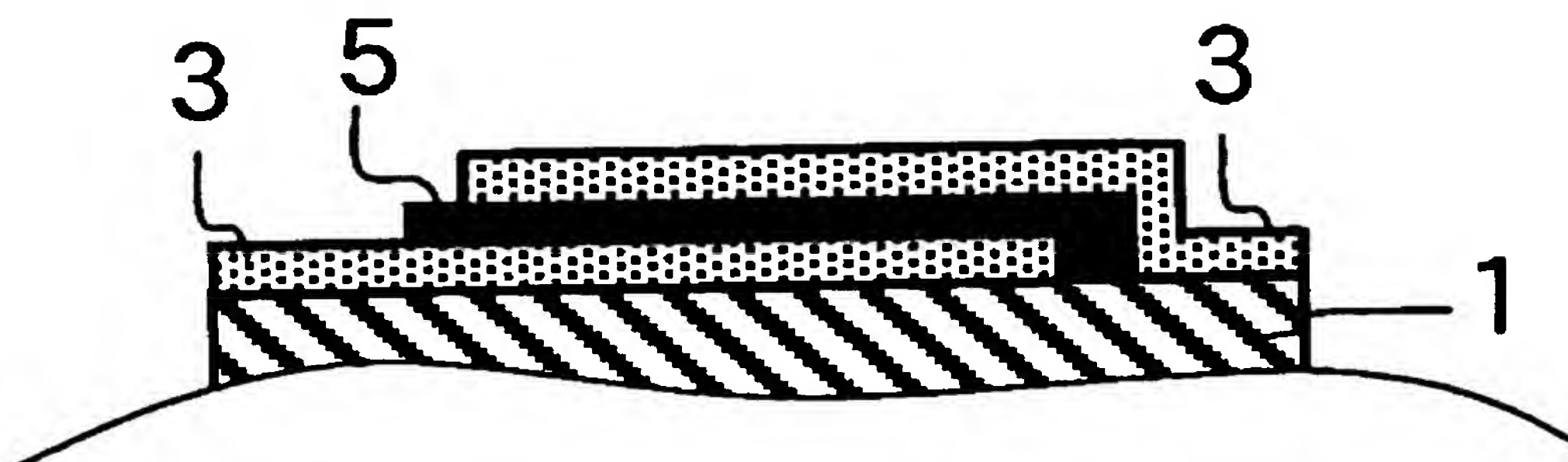
[図4]



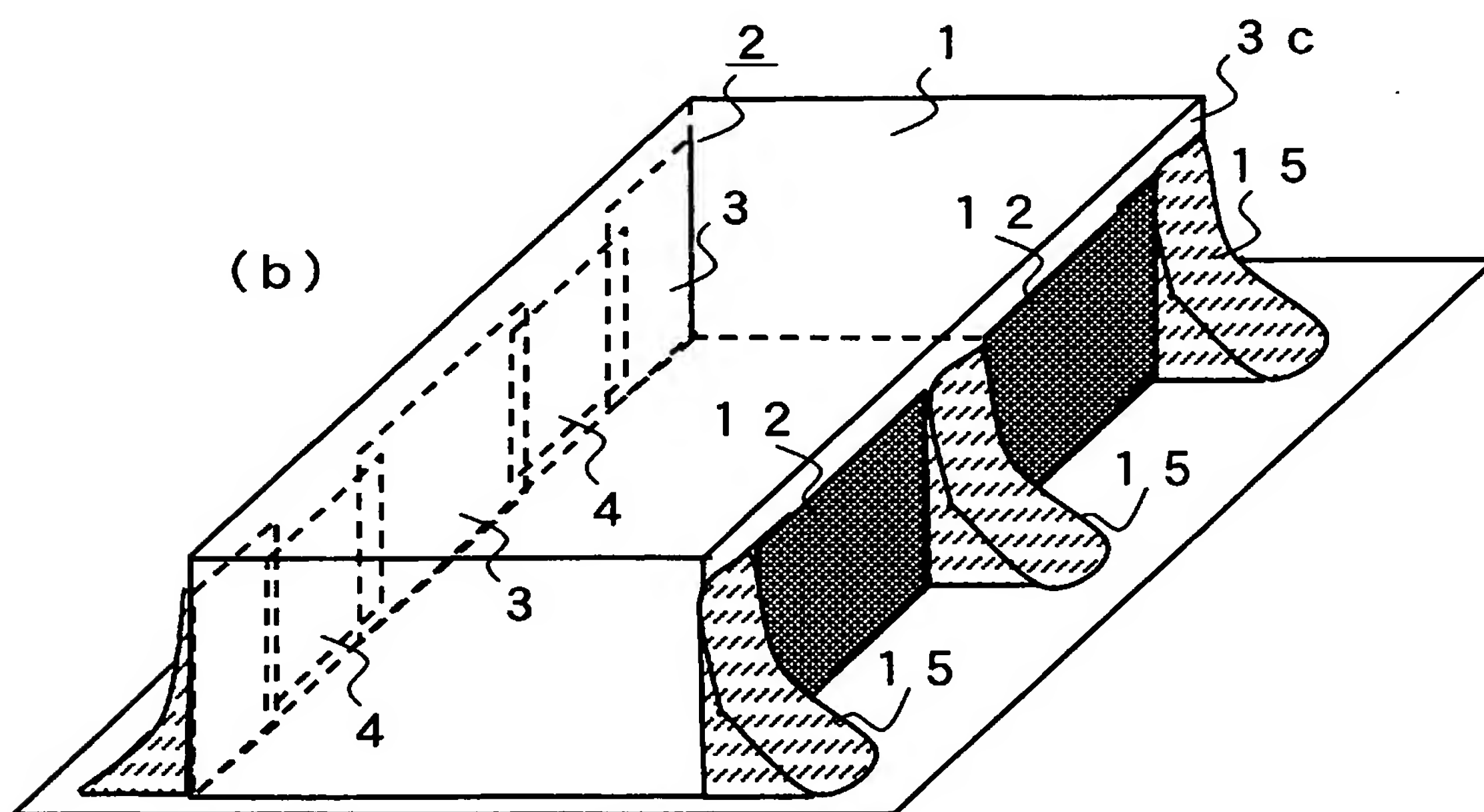
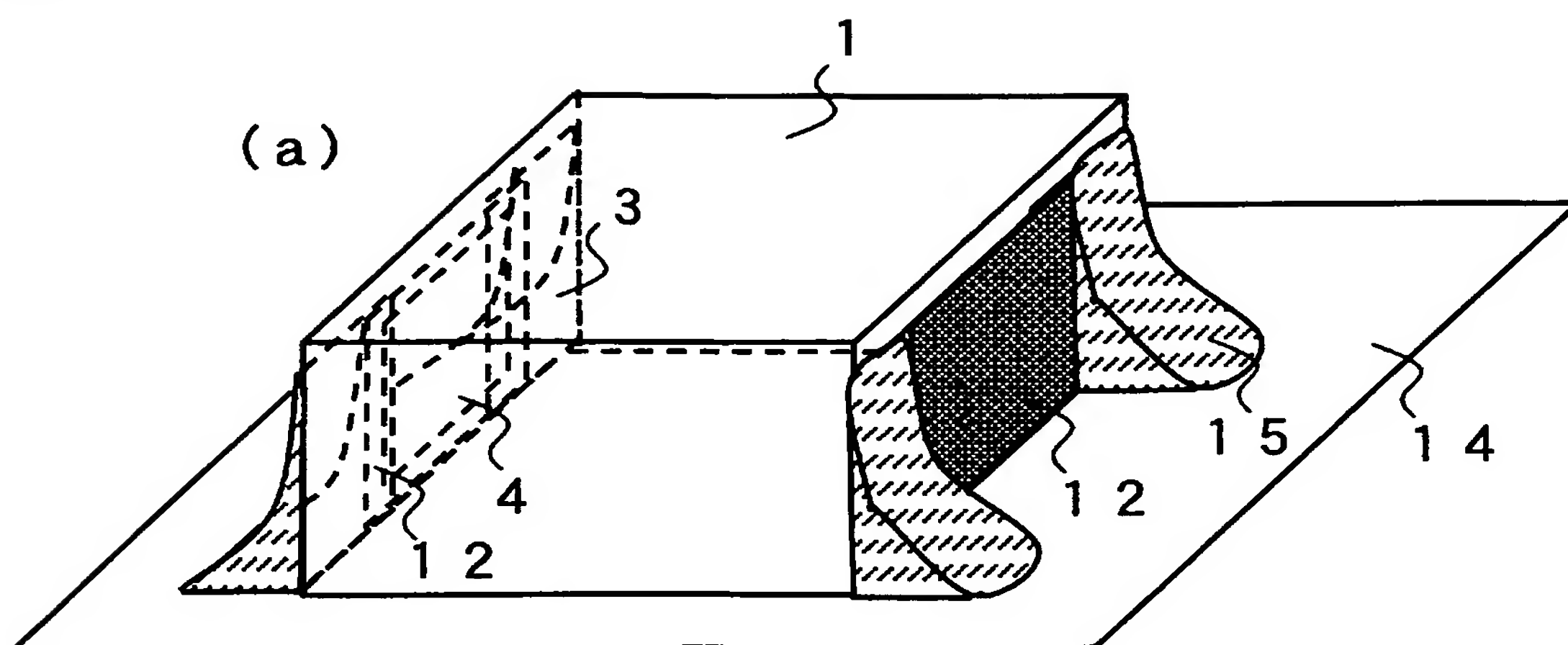
[図5]



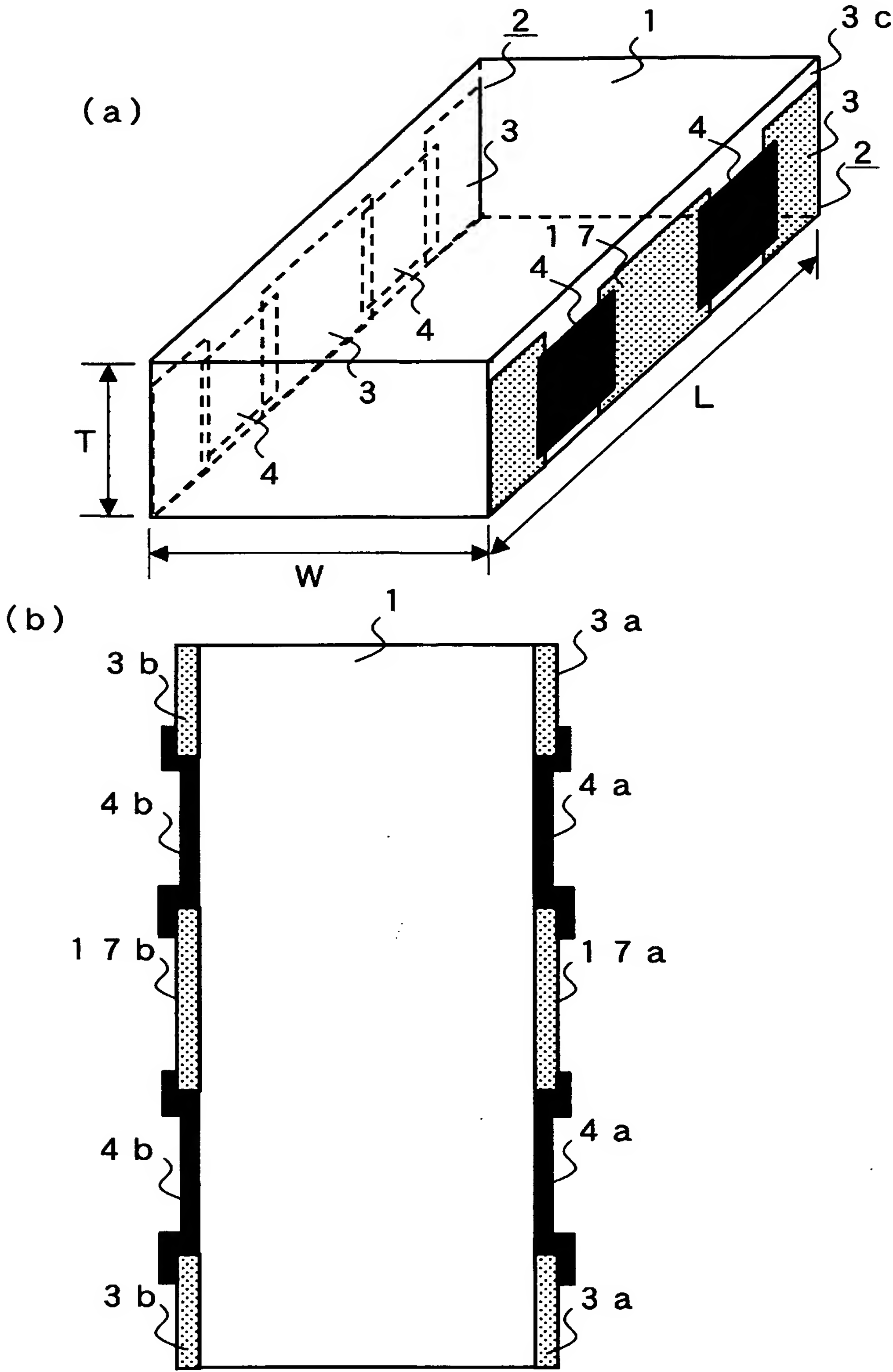
[図6]



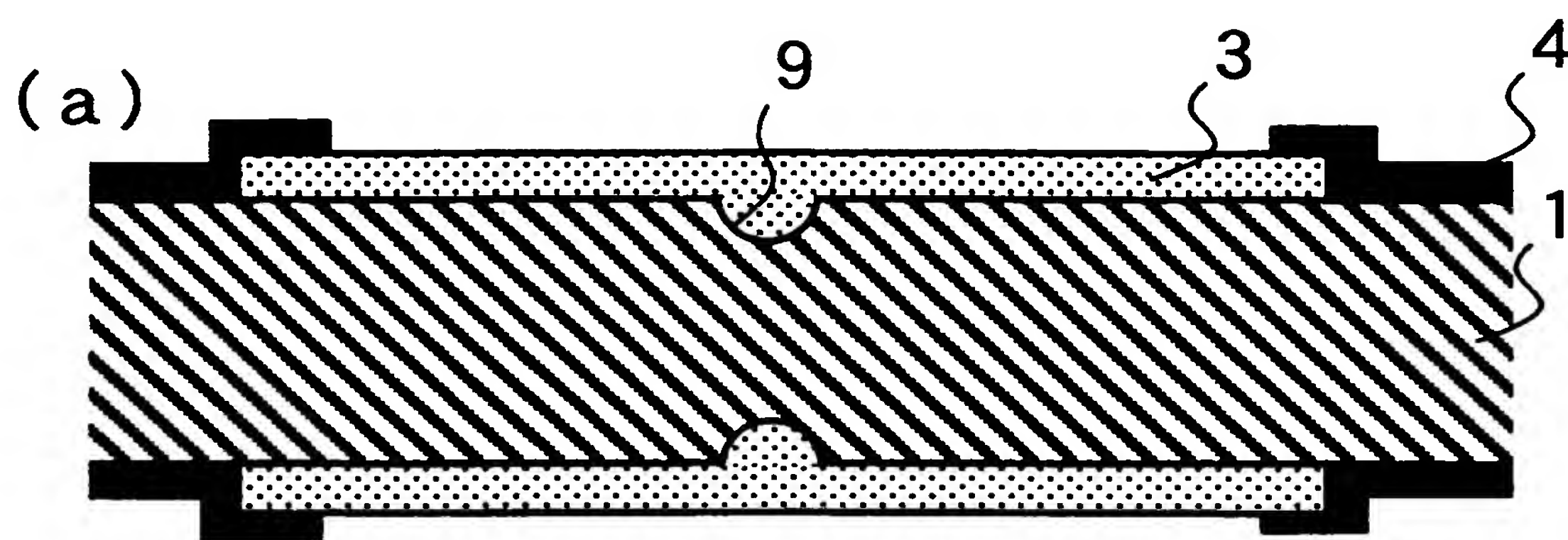
[図7]



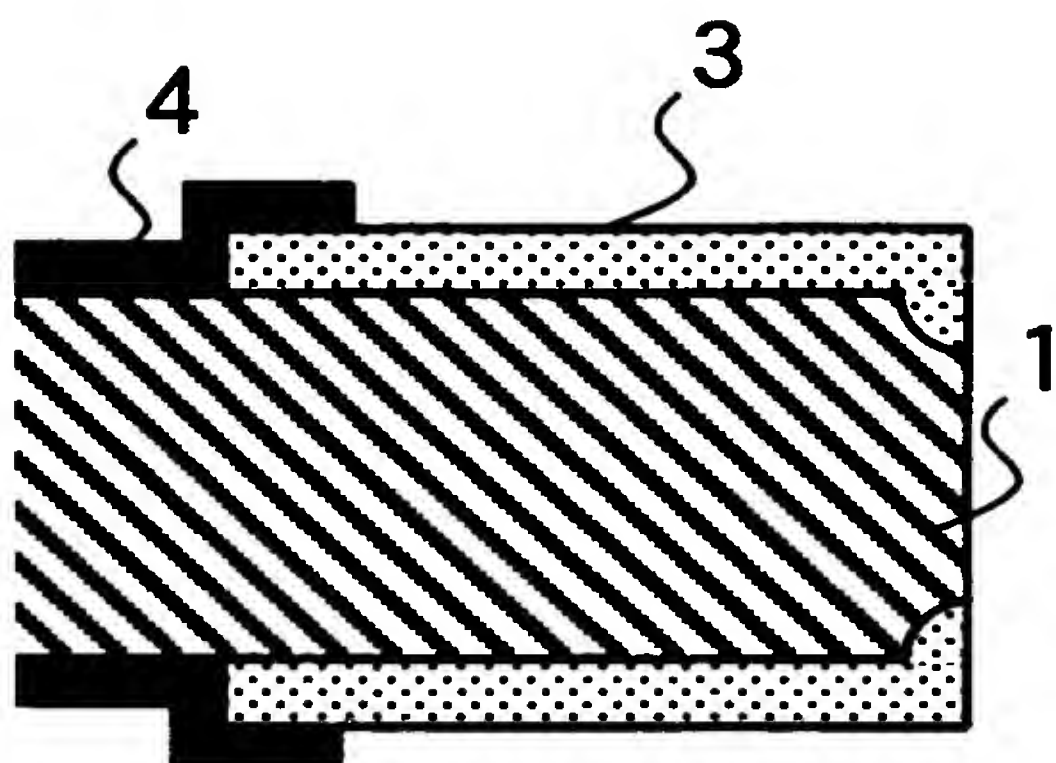
[図8]



[図9]



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016828

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01C7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01C7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-143903 A (Matsushita Electric Industrial Co., Ltd.), 03 October, 1997 (03.10.97), Full text; all drawings (Family: none)	1-4, 7-9, 11, 13-15
Y	JP 9-260113 A (Matsushita Electric Industrial Co., Ltd.), 03 October, 1997 (03.10.97), Full text; all drawings (Family: none)	5, 6, 10, 12, 16, 17
Y	JP 2003-68502 A (Taiyosha Denki Kabushiki Kaisha), 07 March, 2003 (07.03.03), Full text; all drawings (Family: none)	5, 6
Y		10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
02 February, 2005 (02.02.05)

Date of mailing of the international search report
15 February, 2005 (15.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016828

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-125503 A (Taiyosha Denki Kabushiki Kaisha), 15 May, 1998 (15.05.98), Full text; all drawings (Family: none)	12
Y	JP 4-165602 A (Rohm Co., Ltd.), 11 June, 1992 (11.06.92), Full text; all drawings (Family: none)	16
Y	JP 2001-167902 A (Matsushita Electric Industrial Co., Ltd.), 22 June, 2001 (22.06.01), Full text; all drawings (Family: none)	17

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl. 7 H01C 7/00			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl. 7 H01C 7/00			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 2001-143903 A (松下電器産業株式会社) 2001.05.25, 全文, 全図 (ファミリーなし)	1-4, 7-9, 11, 13-15	
Y		5, 6, 10, 12, 16, 17	
Y	JP 9-260113 A (松下電器産業株式会社) 1997.10.03, 全文, 全図 (ファミリーなし)	5, 6	
Y	JP 2003-68502 A (太陽社電気株式会社) 2003.03.07, 全文, 全図 (ファミリーなし)	10	
<input checked="" type="checkbox"/> C欄の続きにも文献が列举されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 02.02.2005		国際調査報告の発送日 15.2.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 重田 尚郎	5R 9298
		電話番号 03-3581-1101	内線 3565

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 10-125503 A (太陽社電気株式会社) 1998. 05. 15, 全文, 全図 (ファミリーなし)	12
Y	J P 4-165602 A (ローム株式会社) 1992. 06. 11, 全文, 全図 (ファミリーなし)	16
Y	J P 2001-167902 A (松下電器産業株式会社) 20 01. 06. 22, 全文, 全図 (ファミリーなし)	17